

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-243190

(43)Date of publication of application : 02.09.1994

(51)Int.Cl.

G06F 15/60

G01R 31/28

G06F 11/26

(21)Application number : 05-026614

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.02.1993

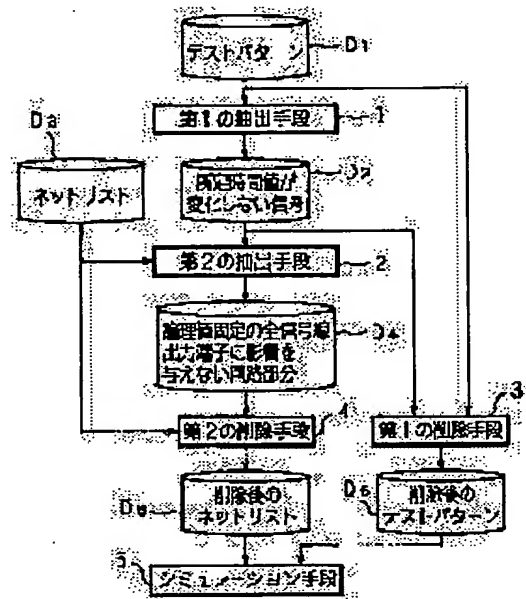
(72)Inventor : ISHITA NOBUKATSU

## (54) LOGIC SIMULATOR

## (57)Abstract:

PURPOSE: To quickly simulate a large-scale circuit with respect to logic simulation which verifies the design of a logic circuit.

CONSTITUTION: This simulator is provided with a first extracting means 1 which extracts invariable signal data D2 having the value fixed to logical value '0' or '1' or X (indefinit ) in all simulation time from test pattern D1, a second extracting means 2 which extracts a signal line having the value fixed to logical value '0' or '1' or X (indefinit ) by the influence of the signal of this test pattern and all of elements, namely, circuit part converged to only the element gated by the logical value of this signal line a 2nd extracting means 2 for extracting the data D4, a deleting means 3 which deletes data D4 from a network list D3 and outputs a network list D6 after deletion, and a means 5 which executes the logic simulation based on the network list D6 after deletion and the test pattern D5 after deletion.



## LEGAL STATUS

[Date of request for examination] 06.10.1999

[Date of sending the examiner's decision of rejection] 21.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3265384

[Date of registration] 11.01.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本経済新聞 (JP) (12)公開特許公報 (A) (11)特許出願公開番号  
特開平6-243190  
(43)公開日 平成6年(1994)9月2日

[illegible]

(G)InCl <sup>3</sup>	機列記号	片内整理番号	F I	技術現示箇所
G 0 6 F 15/40	3 6 0	D 7623-5L		
G 0 1 R 31/28				
G 0 6 F 11/26	3 1 0	7737-5B 6912-2C	G 0 1 R 31/ 28	F
				審查請求 未請求 附請求の數 2 O L (全 0 頁)

なつた、と判断された場合には盗用シミュレーションを終了する。

(0006)

[発明が解決しようとする課題] とところで上記した如き従来の偽造検証においては、大抵偽造回路の偽造検証において、盗用回路の一部しか動作しないテストパターンを入力する場合においても、検証対象回路に關しては全てのネットワークを用いて行方ために盗用シミュレーションを

(21) 出題番号 特選平5-25814  
(71) 出題人 000008013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 井下 順次  
成瀬瓜伊内市西原4丁目1番地 三菱電機株式会社北伊丹製作所内  
(74) 代理人 井堀士 高田 守

【請求項2】 統計対象論理回路のネットリスト及びデータストリクチャーに基づき論理シミュレーションを行う論理シミュレーションシステムにおいて、前記データストリクチャーから、全シミュレーションステップにおいて所定の割合の時間にかつたシミュレーション値が変化しない信号を抽出し出力する第1の抽出手段と、前記抽出された信号の値が固定されている間

(54) 【発明の名称】	情報シミュレータ
--------------	----------

[illegible]

(37) (要約)

【目的】 論理回路の設計検証を行う論理シミュレーションにおいて、大規模回路に対して高速なシミュレーションの実行を可能にする。

【構成】 テストパターンD、から全シミュレーション時間において、値が論理値「0」、「1」又は「X（不定）」に固定されて変化しない信号データD、を抽出する第1の抽出手段1と、そのテストパターンD、の信号の形をとり、値が論理値で「0」、「1」又は「X（不定）」に固定される信号と、この信号の論理値によりカテゴリー分けされる素子にのみ収容される全ての素子、即ち論理部分とを抽出し、そのデータD、を出力する第2の抽出手段2、ネットワークD、から前記データD、を削除し、削除後のネットワークD、を出力する削除手段3と、削除後のネットワークD、及びテストパターンD、に基づき論理シミュレーションを実行する手段5とを備える。

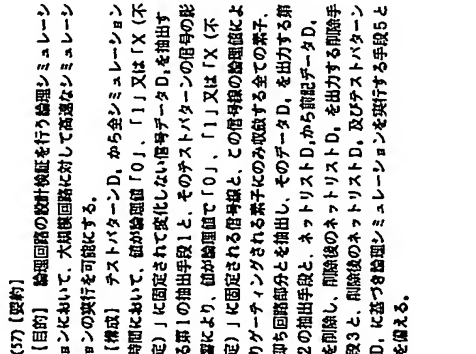
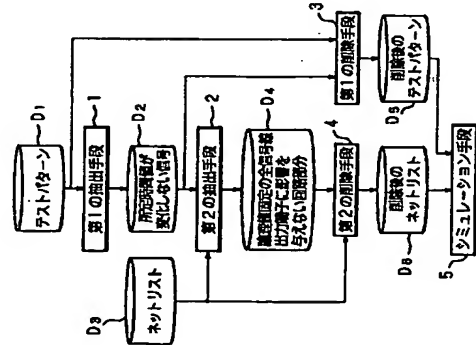
```
graph TD
    D1[テストパターン D1] --> 1[第1の抽出手段 1]
    1 --> D3[D3 ネットリスト]
    1 --> 2[第2の抽出手段 2]
    2 --> D4[D4 論理部分の完全抽出データ（素子と配線を含む）  
与えない回路分]
    D4 --> 4[第2の削除手段 4]
    4 --> D5[D5 ネットリスト]
    D5 --> 3[第1の削除手段 3]
    3 --> D6[D6 ネットリスト]
    D6 --> 5[D5 シミュレーション手段]
    D3 --> 4
    D3 --> 3
```

(0008)第2の発明に係る論理シミュレータは、ステップから全シミュレーション時間に対する所定の割合の時間間隔において、論理値が固定されている間を1つの動作モードとして決定する手段と、各動作モード毎に固定されたテストパターンを用いて、論理値が固定される番号及びその番号の回路部分をサポートリストに設定されるときに形成する回路部分をネットワーク化することによって第2の抽出手段とし、抽出した番号の部分をサポートリストから削除する手段とを備える。

[0009]

[作用] 第1の発明においては第1の抽出手段により全シミュレーション期間において、論理値が変化しない番号をサポートリストから抽出し、更に第2の抽出手段で前記論理値が変化する番号に基づき、論理値が固定になる番号及び出力端子に接続を与えない回路部分をネットリストから抽出し、これらの番号及び同回路部分をネットリストから削除することにより、論理シミュレーション対象となる論理回路領域が縮小され、高速な論理シミュレーションが可能となる。

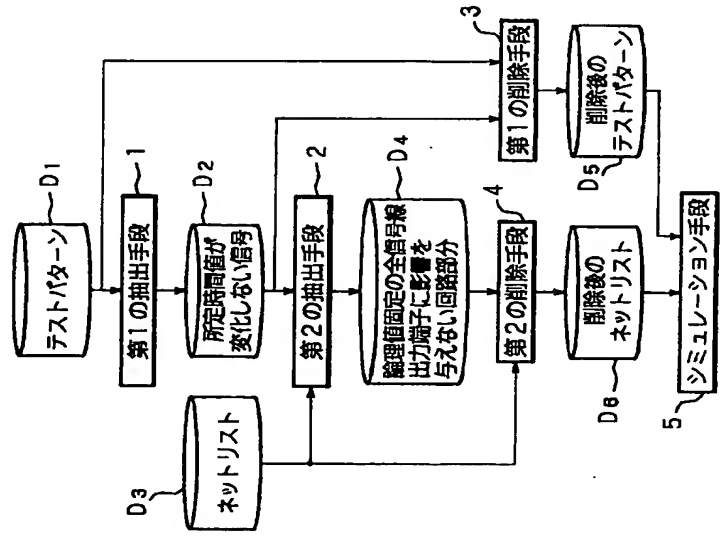
[0010] 第2の発明によれば第1の抽出手段による



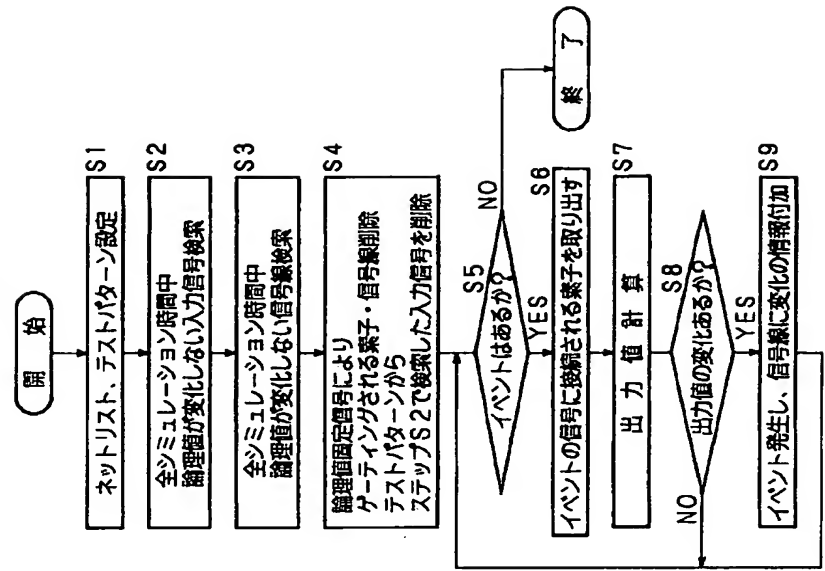


【図6】本発明の実施例2の構成を示すブロック図である。  
【図7】本発明の実施例2の処理手順を示すフローチャートである。  
【図8】図3に示す検出対象論理回路に入力する他のテストパターンを示すタイミングチャートである。  
【図9】従来の論理シミュレータによる論理検証の処理手順を示すフローチャートである。  
\* (符号の説明)  
1 第1の抽出手段  
2 第2の抽出手段  
3 第1の削除手段  
4 第2の削除手段  
5 シミュレーション手段  
6 動作モード決定手段

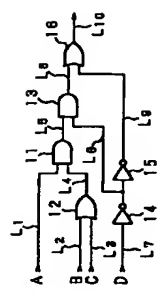
【図11】



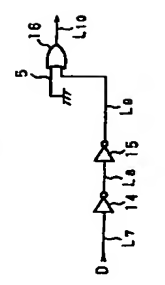
【図2】



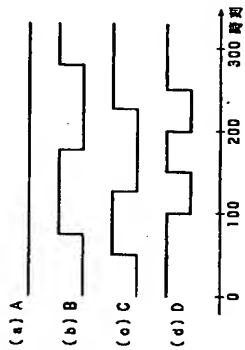
【図3】



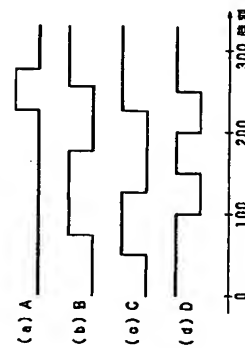
【図5】



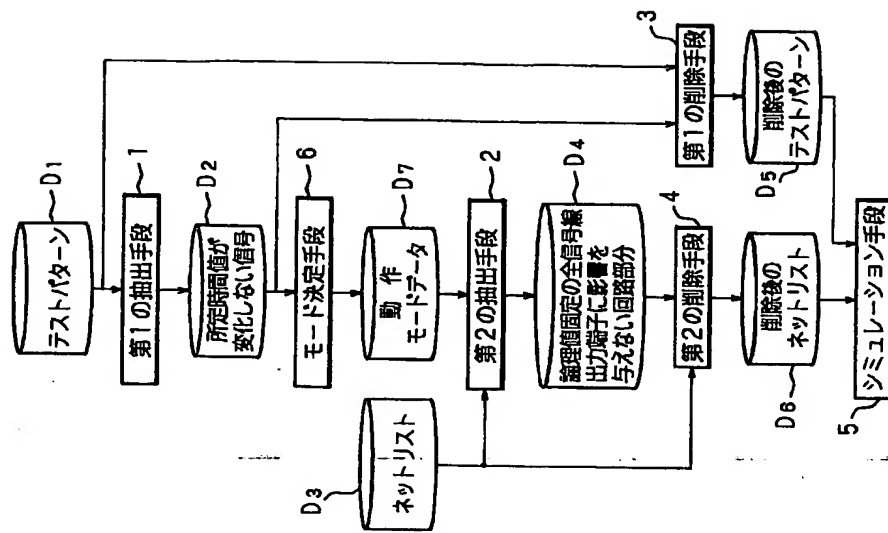
【図4】



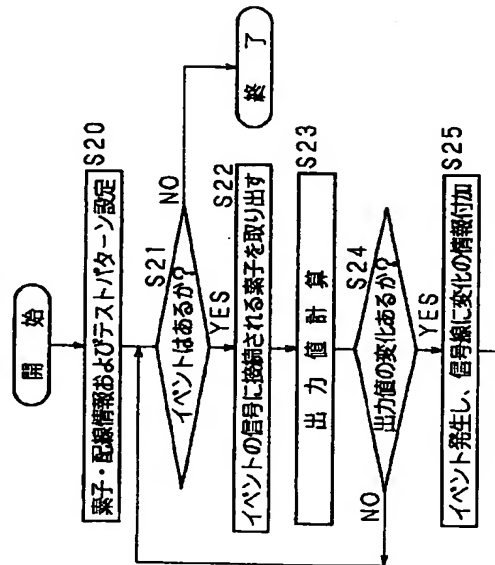
【図8】



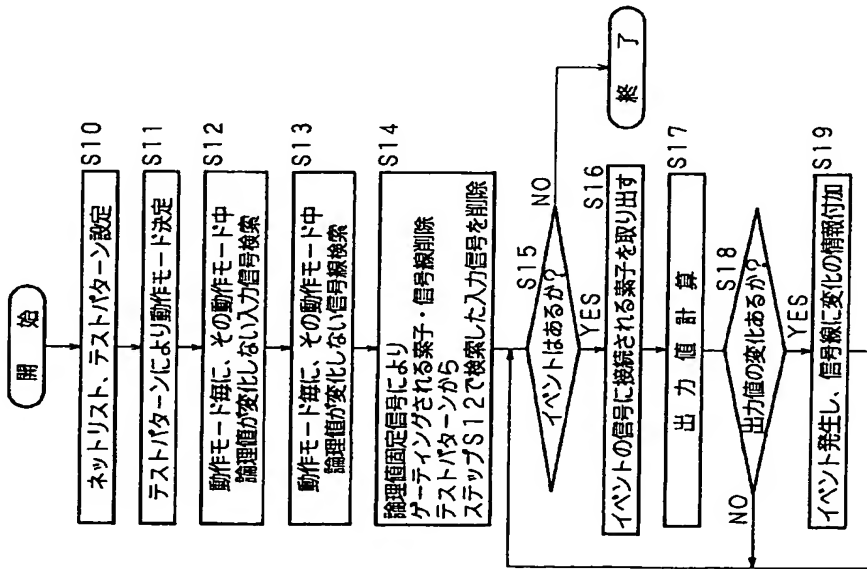
【図6】



【図9】



(図7)



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成13年1月26日(2001.1.26)

【公開番号】特開平6-243180

【公開日】平成8年9月2日(1994.9.2)

【年次号】公開特許公報6-2432

【出願番号】特開平5-26614

【国際特許分類第7版】

G06F 11/60

G06F 31/28

G06F 11/26

【F1】

G06F 31/28

F

【手続補正書】

【提出日】平成11年10月6日(1999.10.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】論理シミュレーション方法及びこれを用いる論理シミュレータ

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】検証対象論理回路のネットリスト及びテストパターンに基づき論理シミュレーション方法において、前記テストパターンから、全シミュレーション時間

にわたって論理値が変化しない信号を抽出し、抽出された信号に基づき全シミュレーション時間内において論理

値が固定される全信号線と、前記検証対象論理回路の出力端子の出力レベルに影響を与えない回路部分とを前記

ネットリストから抽出し、抽出した信号線及び回路部分のデータを前記ネットリストから削除することを特徴と

する論理シミュレーション方法、

【請求項2】検証対象論理回路のネットリスト及びテストパターンに基づき論理シミュレーション方法において、前記テストパターンから、全シミュレーション時間

にわたって所定の割合の時間内において論理値が変化しない信号を抽出し、抽出された信号の値が固定されている

間を1つの動作モードとして決定し、前記動作モード毎に夫々の動作モードの間、論理値が固定される全信号

線、前記論理値が固定される信号線により前記検証対象論理回路の出力端子の出力値に影響を与えない回路部分

を検出する手段とを備えたことを特徴とする論理シミュレータ。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

-補1-

を前記ネットリストから抽出し、前記信号線及び回路部分のデータを前記ネットリストから削除することを特徴とする論理シミュレーション方法、

【請求項3】検証対象論理回路のネットリスト及びテストパターンに基づき論理シミュレーションを行う論理シミュレータにおいて、前記テストパターンから、全シミュレーション時間内において論理値が変化しない信号を抽出して出力する第1の抽出手段と、前記抽出された信号に基づき全シミュレーション時間内において論理値が固定される全信号線と、前記検証対象論理回路の出力端子の出力レベルに影響を与えない回路部分とを前記ネットリストから抽出する第2の抽出手段と、抽出した信号線及び回路部分のデータを前記ネットリストから削除する手段とを備えたことを特徴とする論理シミュレータ。

【請求項4】検証対象論理回路のネットリスト及びテストパターンに基づき論理シミュレーションを行う論理シミュレータにおいて、前記テストパターンから、全シミュレーション時間内において所定の割合の割合の時間内において論理値が変化しない信号を抽出して出力する第1の抽出手段と、前記抽出された信号の値が固定されている間を1つの動作モードとして決定する手段と、前記動作モード毎に夫々の動作モードの間、論理値が固定される全信号線、前記論理値が固定される信号線により前記検証対象論理回路の出力端子の出力値に影響を与えない回路部分とを前記ネットリストから抽出する第2の抽出手段と、前記抽出された信号の値が固定されている間を1つの動作モードとして決定する手段とを備えたことを特徴とする論理シミュレータ。

